

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Übersetzung der
europäischen Patentschrift

⑧⑦ EP 0 297 777 B1

⑩ **DE 38 86 600 T 2**

⑤① Int. Cl.⁵:
G 11 C 11/22
G 11 C 14/00

②①	Deutsches Aktenzeichen:	38 86 600.5
⑥⑥	Europäisches Aktenzeichen:	88 305 713.5
⑥⑥	Europäischer Anmeldetag:	22. 6. 88
⑧⑦	Erstveröffentlichung durch das EPA:	4. 1. 89
④⑧	Veröffentlichungstag der Patentansprüche in deutscher Übersetzung:	3. 8. 89
⑧⑦	Veröffentlichungstag der Patenterteilung beim EPA:	29. 12. 93
④⑦	Veröffentlichungstag im Patentblatt:	7. 7. 94

DE 38 86 600 T 2

③① Unionspriorität: ③② ③③ ③①

02.07.87 US 69390

⑦③ Patentinhaber:

Ramtron International Corp., Colorado Springs, Col.,
US

⑦④ Vertreter:

derzeit kein Vertreter bestellt

⑧④ Benannte Vertragsstaaten:

DE, FR, GB, IT, NL

⑦② Erfinder:

Dimmler, Klaus, Colorado Springs Colorado 80906,
US; Eaton, Sheffield S. Jr., Colorado Springs
Colorado 80906, US

⑥④ Ferroelektrischer, latenter Bild-RAM-Speicher.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht word n. Sie wurd vom Deutschen Pat ntamt inhaltlich nicht geprüft.

DE 38 86 600 T 2

Die vorliegende Erfindung bezieht sich auf Halbleiterspeicher. Sie verbindet die Vorteile ferroelektrischer Bauelemente, wie z.B. Nichtflüchtigkeit und Strahlungsbeständigkeit, mit der Haltbarkeit und anderen Vorteilen anderer Speichertypen, wie beispielsweise statischer RAMs und dynamischen RAMs.

Die Speichertechnologie umfaßt heute diverse verschiedene Techniken. Der Allgemeinheit ist bekannt, daß Informationen auf Magnetbändern gespeichert werden können, da Magnetbänder für Video- und Audioaufzeichnungen verwendet werden. Solche Anwendungen umfassen das Speichern von Informationen in magnetischen Feldern auf einem magnetischen Medium. Im Falle von Audio- oder Videoanwendungen wird die gespeicherte Information seriell geschrieben und gelesen, so daß fortlaufende Videobilder oder Audioklänge aufgezeichnet oder abgespielt werden können. Ein Magnetband ist ein nichtflüchtiger Speicher, dem zur Erhaltung der darin gespeicherten Information nicht kontinuierlich Energie zugeführt werden muß.

In gleicher Weise speichern Blasenspeicher Informationen in magnetischen Domänen und sind nichtflüchtig. Auf magnetische Blasenspeicher muß jedoch wie auf Magnetband seriell zugegriffen werden.

Bei Computerbenutzern ist es heute eine übliche Praxis, Informationen oder Programme zu speichern, die unter Verwendung ihrer Computer entwickelt oder aktualisiert worden sind, in einem nichtflüchtigen Medium zu speichern, so daß beim Auftreten eines Stromausfalles oder eines Fehlers Daten wiedergewonnen werden können. Dies ist eines der bedeutendsten Vorteile von nichtflüchtigen Speichern. Heute werden zu diesem Zweck gewöhnlich magnetische Floppy-Disks verwendet.

Hochgeschwindigkeitsbetrieb erfordert jedoch, daß im Speicher abgespeicherte

Information wahlfrei verfügbar ist.

Infolgedessen hat die Speichertechnologie über die letzten Jahrzehnte verschiedene Typen von Speichern mit wahlfreiem Zugriff entwickelt. Im allgemeinen arbeiten diese mit Halbleitertechnologie, die bei hohen Geschwindigkeiten funktioniert, doch können auch magnetische Speicher mit wahlfreiem Zugriff angesprochen sein. Bei Halbleiterspeichern mit wahlfreiem Zugriff („RAMs“) wird ein Bit einer binären Information in einer Speicherzelle gespeichert und Zellen sind zusammen in Feldern gruppiert. Heute ist es eine übliche Praxis, eine große Anzahl von Bitleitungen, deren jede mit mehreren Speicherzellen verbunden ist, und eine orthogonale Gruppe von Wortleitungen, deren jede mit mehreren Speicherzellen verbunden ist, vorzusehen. Verschiedene Adressen-Decoder identifizieren eine Zelle, auf die zugegriffen werden soll. So ist ein RAM bei Angabe einer Adresse dazu in der Lage, auf eine einzelne Speicherzelle in einem Feld aus Tausenden von Speicherzellen zuzugreifen und Daten aus dieser adressierten Speicherzelle zu lesen oder darein zu schreiben. Diese Zelle kann wiederholte Male verwendet werden und es kann sehr schnell auf sie zugegriffen werden, manchmal in wenigen Dutzend Nanosekunden. Diese Fähigkeiten sind sehr wichtig für Computer- und Datenverarbeitungsanwendungen.

RAMs können ferner entweder „dynamisch“ oder „statisch“ sein. Dieser Unterschied hängt im allgemeinen vom Typ der in dem RAM eingebauten Speicherzelle ab. Im Fall einer dynamischen RAM-Speicherzelle werden die Daten in einem Kondensator gespeichert, der sich zum Teil in einem Substrat aus Halbleitermaterial befindet. Ein Transistor verbindet selektiv den Kondensator mit einer Bitleitung. Aufgrund dieser einfachen Konstruktion weisen dynamische RAM- („DRAM“) -Speicherzellen eine kleine Fläche auf und können mit beträchtlicher Dichte hergestellt werden. Da jedoch die Ladung in einem Kondensator in dem Substrat gespeichert ist, entweicht die Ladung und muß periodisch aufgefrischt werden um den Inhalt des Speichers zu

bewahren.

Statische RAMs unterscheiden sich von dynamischen RAMs dadurch, daß ihre Speicherzellen nicht aufgefrischt werden müssen. Eine statische RAM-Zelle umfaßt gewöhnlich mehrere Transistoren, die als Flip-Flop mit zwei stabilen Zuständen konfiguriert sind. Diese zwei Zustände werden zum Speichern der zwei unterschiedlichen Niveaus von Binärdaten verwendet. Statische RAM-Zellen sind, da sie mehrere Transistoren enthalten, größer als DRAM-Zellen und können daher nicht so dicht auf Halbleiterchips gepackt werden. Andererseits arbeiten statische RAM-Zellen schnell und erfordern keine logischen Schaltungen zur Auffrischung.

Zwar haben sowohl dynamische als auch statische RAMs den Vorteil des wahlfreien Zugriffs, nachteilig ist jedoch ihre Flüchtigkeit. Das bedeutet, daß die Daten verfallen, wenn die Spannung an den Speichern abgeschaltet wird. Die in den Kondensatoren der Speicherzelle der dynamischen RAMs gespeicherte Ladung fließt ab, und die Spannung, die bei statischen RAM-Speicherzellen gebraucht wird, um die Flip-Flop-Zustände zu erhalten, fällt auf Null, so daß kurzfristig das Flip-Flop seine Daten verliert.

RAMs mit ferroelektrischen Kondensatoren als Speicherzellen haben den erheblichen Vorteil, nicht flüchtig zu sein. Kurz gesagt umfaßt ein ferroelektrischer Kondensator ein Paar Kondensatorplatten mit einem ferroelektrischen Material dazwischen. Ein ferroelektrisches Material hat zwei unterschiedliche stabile Polarisierungszustände, die mit einer Hysterese definiert werden können, die zu sehen ist, wenn die Polarisierung gegen die angelegte Spannung aufgetragen wird. Durch Messen der Ladung, die beim Anlegen einer Spannung an einen ferroelektrischen Kondensator fließt, kann man den Polarisierungszustand des ferroelektrischen Materials bestimmen. Indem einem Polarisierungszustand eine binäre Null und dem anderen Polarisierungszustand eine binäre Eins zugewiesen wird, können ferroelek-

trische Kondensatoren benutzt werden, um binäre Informationen zu speichern. Der Vorteil eines nichtflüchtigen Speichers ist natürlich, daß auch wenn die Stromversorgung des Speichers unterbrochen oder entfernt wird, Daten gespeichert bleiben. Als weiterer besonderer Vorteil ferroelektrischer Materialien wurde erkannt, daß sie strahlungsbeständig sind.

Ein Nachteil ist jedoch, daß bei bestimmten ferroelektrischen Materialien Ermüdungseigenschaften festgestellt wurden, die nach millionenmaligen Umschalten des ferroelektrischen Kondensators von einem Polarisierungszustand in den anderen zu verringerter Polarisierung führen.

DE-A-2 754 987 beschreibt eine Speicherzelle mit einem flüchtigen Abschnitt und einem nichtflüchtigen Abschnitt. Der flüchtige Abschnitt umfaßt in einer Flip-Flop-Konfiguration kreuzgekoppelte erste und zweite Transistoren, deren Gates an erste und zweite Speicherverzweigungspunkte der Zelle gekoppelt sind. Der nichtflüchtige Abschnitt umfaßt erste und zweite Kondensatoren zwischen jedem Verzweigungspunkt und einem Steuerpunkt. Die Kondensatoren sind binäre Kondensatoren mit veränderlichem Schwellenwert. Wenn ein negativer Puls an den Steuerpunkt angelegt wird, wird die Schwellenspannung eines der Kondensatoren bei 2V gehalten, wohingegen die Schwellenspannung des anderen Kondensators sich auf -6V ändert.

Die inneren Platten der Kondensatoren sind zusammengeschaltet und beide mit dem Steuerpunkt verbunden. Es wird vorgeschlagen, ferroelektrisches Material in den Kondensatoren zu verwenden, doch werden die Polarisierungseigenschaften eines solchen Materials in DE-A-2 754 987 nicht genutzt.

Aufgabe der vorliegenden Erfindung ist, einen nichtflüchtigen Halbleiterspeicher mit ferroelektrischem Material so zu betreiben, daß das Problem der Polarisierungsermüdung überwunden wird, unter Bewahrung der Vorteile wahlfreien Zugriffs und

hoher Geschwindigkeit.

Gemäß unterschiedlicher Aspekte der vorliegenden Erfindung wird eine flüchtige Speicherzelle, vom statischen, dynamischen oder anderem Typ, mit einem ferroelektrischen Bauelement oder einer ferroelektrischen Schaltung kombiniert. Insbesondere gibt die vorliegende Erfindung ein Verfahren zum Betreiben einer Speicherzelle mit einem flüchtigen und einem nichtflüchtigen Abschnitt an, wobei der nichtflüchtige Abschnitt einen ersten und einen zweiten ferroelektrischen Kondensator enthält, wovon jeder eine erste und eine zweite Plattenelektrode besitzt, wobei das Verfahren umfaßt:

Speichern von komplementären binären Daten im flüchtigen Abschnitt, das den Aufbau von hohen und niedrigen Spannungen, die die komplementären Daten darstellen, an einem ersten und an einem zweiten Verzweigungspunkt des flüchtigen Speicherzellenabschnittes enthält, gekennzeichnet durch die Schritte:

des Speicherns der binären Daten auf nichtflüchtige Weise durch Koppeln des ersten und des zweiten Verbindungspunktes an die ersten Plattenelektroden des ersten und des zweiten ferroelektrischen Kondensators; Polarisieren lediglich eines der ferroelektrischen Kondensatoren durch Anlegen einer gewählten entweder niedrigen oder hohen Spannung an die zweite Plattenelektrode desselben während die erste Plattenelektrode des Kondensators an den ersten oder den zweiten Verzweigungspunkt gekoppelt ist, wobei die Polarisierung in einer ersten Richtung auftritt; danach Polarisieren des zweiten ferroelektrischen Kondensators durch Anheben bzw. Absenken der Spannung an der zweiten Plattenelektrode desselben auf die andere der niedrigen bzw. hohen Spannung, während die erste Plattenelektrode an den ersten oder den zweiten Verzweigungspunkt gekoppelt ist, wobei die Polarisierung in einer zweiten Richtung auftritt.

Während der normalen Anwendung einer Ausgestaltung der Erfindung wird die Polarisierung des ferroelektrischen Materials nicht geschaltet, trotz wiederholten Zugriffs auf die Speicherzelle. Allerdings wird unter festgelegten Bedingungen wie z.B. Stromabschaltung das ferroelektrische Bauelement beschrieben, so daß die in der Speicherzelle gespeicherten Daten in dem ferroelektrischem Bauelement trotz des Spannungsverlusts erhalten bleiben. Wenn der Speicher wieder mit Strom versorgt wird, wird die Information aus dem ferroelektrischen Bauelement zurückgeholt und im flüchtigen Abschnitt der Speicherzelle wiederhergestellt. Hierdurch wird die Anzahl der Schaltvorgänge des Ferroelektrikums verringert, wodurch die Lebensdauer des Produkts stark verlängert wird.

Andere Aspekte der vorliegenden Erfindung werden deutlich aus der nachfolgenden detaillierten Beschreibung einer bevorzugten Ausgestaltung. Es soll an dieser Stelle darauf hingewiesen werden, daß, obwohl in der bevorzugten Ausgestaltung eine statische RAM-Speicherzelle verwendet wird, die Erfindung nicht auf die Kombination ferroelektrischer Kondensatoren mit statischen RAM-Speicherzellen beschränkt ist.

Bei der Beschreibung der bevorzugten Ausgestaltung der vorliegenden Erfindung wird Bezug genommen auf die begleitenden Figuren, von denen:

Figur 1A eine gemäß unterschiedlicher Aspekte der vorliegenden Erfindung konstruierte statische RAM-Speicherzelle darstellt;

Figur 1B ein Zeitdiagramm für sowohl den Speicherzyklus als auch den Rückholzyklus der Speicherzelle aus Figur 1A darstellt; und

Figur 2 eine andere erfindungsgemäße Speicherzelle darstellt.

I. Erste Ausgestaltung

Figur 1A zeigt eine Speicherzelle 10, in der ferroelektrische Bauelemente mit nicht-ferroelektrischer Speicherzellentechnologie kombiniert sind. Die Speicherzelle 10 umfaßt einen ersten Abschnitt 12 und einen zweiten Abschnitt 14. Der Abschnitt 12 umfaßt eine flüchtige Speicherzelle, wohingegen Abschnitt 14 Schaltungen mit ferroelektrischen Bauelementen umfaßt, die an den ersten Abschnitt gekoppelt sind. Es ist zu sehen, daß im Abschnitt 12 eine statische CMOS-RAM-Zelle verwendet wird, doch dient eine solche Speicherzelle nur als Beispiel, andere Arten von Speicherzellen können verwendet werden.

Abschnitt 12 enthält ein Flip-Flop, das aus zwei n-Kanal-Transistoren 16, 18 und zwei p-Kanal-Transistoren 20, 22 gebildet ist. Zwei Verzweigungspunkte A und B sind über Kreuz an die Gate-Elektroden der Transistoren 16 - 22 gekoppelt. Ein Verzweigungspunkt C wird auf das VSS-Niveau von 0 Volt gelegt. Ein weiterer Verzweigungspunkt D koppelt die Source-Elektroden der p-Kanal-Transistoren 20, 22 an ein Signal CLK1, das normalerweise auf einem vollen VCC-Niveau liegt. Die Source-Drain-Verbindungen der Zugriffstransistoren 24 und 26 koppeln die internen Verzweigungspunkte A bzw. B an Bitleitungen 28 bzw. 30. Die Gate-Elektroden der Zugriffstransistoren 24, 26 sind an Wortleitungen gekoppelt.

Die Verzweigungspunkte A und B sind, beispielsweise durch die Source-Drain-Verbindungen zweier weiterer Transistoren 32, 34, an obere Platten zweier ferroelektrischer Kondensatoren 36, 38 gekoppelt. (Selbstverständlich kann ein vollständiges CMOS-Durchgangsgatter verwendet werden, oder p-Kanal-Transistoren mit invertierter Logik können anstelle der in Figur 1A dargestellten Ausgestaltung verwendet werden.) Zur Vereinfachung der Erklärung wird die Verbindung zwischen dem Transistor 32 und dem Kondensator 36 als Verzweigungspunkt E und die Verbindung

zwischen dem Transistor 34 und dem Kondensator 38 als Verzweigungspunkt F bezeichnet. Die unteren Platten der Kondensatoren 36, 38 sind elektrisch mit einem Verzweigungspunkt G gekoppelt, der an ein logisches Signal CLK2 gekoppelt ist, das sich normalerweise in niedrigem Zustand befindet. Transistoren 32 und 34 zwischen den Verzweigungspunkten A und E bzw. B und F werden durch ein logisches Signal CLK3 getastet. Die Ausgestaltung enthält zusätzlich Kurzschlußtransistoren 40, 42, die die Verzweigungspunkte E bzw. F selektiv an VSS koppeln. Die Gate-Elektroden der Transistoren 40, 42 sind an ein logisches Signal CLK4 gekoppelt. Wenn somit CLK2 (am Verzweigungspunkt G) auf VSS liegt und die Transistoren 38 und 40 eingeschaltet sind, sind beide kurzgeschlossen.

a. Normalbetrieb

Bezogen auf Figur 1B ist im Normalbetrieb vom Zeitpunkt T0 zum Zeitpunkt T1 CLK1 (Verzweigungspunkt D) hoch (auf VCC). Die logischen Signale CLK2 und CLK3 sind beide niedrig. Somit sind die Transistoren 32 und 34 in einem Auszustand, so daß der erste Abschnitt 12 vom zweiten Abschnitt 14 entkoppelt ist. Spannungsänderungen, die an den Verzweigungspunkten A und B durch den normalen Gebrauch des Speicherzellabschnitts 12 auftreten, werden nicht direkt an die ferroelektrischen Kondensatoren 36, 38 weitergegeben. Als weitere Vorsichtsmaßnahme kann jedoch das Signal CLK4 hoch sein, wenn das Signal CLK3 niedrig ist. Dadurch sind die Kurzschlußtransistoren 40, 42 eingeschaltet, so daß die Kondensatoren 36, 38 kurzgeschlossen sind. Dadurch werden Gleichspannungsanteile an den ferroelektrischen Kondensatoren vermieden. Es ist zu beachten, daß das logische Signal CLK4 zusammen mit den Transistoren 40, 42 in einer Abwandlung dieser Ausgestaltung fortgelassen werden könnte, wenn die ferroelektrischen Bauelemente nicht besonders empfindlich gegen Gleichspannungszusammenbruch sind.

Somit ist unter den vorgenannten Bedingungen der flüchtige Abschnitt 12 der Speicherzelle als statische RAM-Speicherzelle voll betriebsbereit, und es kann über ihre Bitleitungen 28, 30 und die Wortleitung auf sie zugegriffen werden, um Daten aus dem aus den über Kreuz gekoppelten Transistoren 16, 18, 20 und 22 gebildeten Flip-Flop zu lesen und darein zu schreiben.

b. Nichtflüchtiger Speicherbetrieb

Wenn es zu einem beliebigen Zeitpunkt T1 nötig wird, die im flüchtigen Abschnitt 12 gespeicherte Information in den nichtflüchtigen Abschnitt 14 zu kopieren, wird das logische Signal CLK3 von 0 Volt auf ein hohes Niveau gebracht. Zur Erläuterung werde angenommen, daß die im Abschnitt 12 gespeicherten Daten derart sind, daß Verzweigungspunkt A auf einem niedrigem Spannungsniveau (VSS) und Verzweigungspunkt B auf einem hohen Spannungsniveau (VCC) liegt. CLK1 bleibt hoch am Verzweigungspunkt D. Das hohe Niveau am Verzweigungspunkt B hebt das Spannungsniveau am Verzweigungspunkt F, wenn der Transistor 34 eingeschaltet wird. CLK4 wird auf niedriges Niveau abgesenkt und CLK3 auf hohes Niveau angehoben, damit die ferroelektrischen Kondensatoren 36, 38 sich aufladen können. CLK2 am Verzweigungspunkt G ist noch niedrig, so daß beim Spannungsanstieg am Verzweigungspunkt F der Kondensator 38 in ein Polarisierungszustand gebracht wird, der als „hoch“ bezeichnet werden kann. Es besteht die Möglichkeit, daß der vorherige Zustand des ferroelektrischen Kondensators 38 „niedrig“ war. Wenn dies der Fall ist, wird ein Polarisierungsumkehrstrom vom internen Verzweigungspunkt B der statischen RAM-Zelle abgezogen. Dieser Strom muß durch die Niveaubelevorrichtung 22 der statischen Zelle geliefert werden, so daß die Spannung nicht unter die Schaltspannung der statischen Zelle fällt. Die Größe dieses vom Transistor 22 und Verzweigungspunkt B gelieferten Stroms kann durch die relativen Baugrößen

des Kondensators 38 und Transistors 22 sowie die parasitäre Kapazität des Verzweigungspunkts B gesteuert werden.

Nun sollte der andere ferroelektrische Kondensator dieser Ausgestaltung eingestellt werden. Hierfür wird, beginnend zum Zeitpunkt T2 das Signal CLK2 auf hohes Niveau gebracht, so daß die Spannung am Verzweigungspunkt G steigt. Da der Verzweigungspunkt A in der flüchtigen Zelle auf einem logisch niedrigem Niveau ist, ist auch der Verzweigungspunkt E auf niedrigem Niveau und die Spannung am ferroelektrischen Kondensator 36 schreibt einen Polarisierungszustand in den Kondensator 36, der als „niedrig“ bezeichnet werden kann. Wie zuvor besteht die Möglichkeit, daß hierdurch die vorherige Information überschrieben wird. Wenn dies der Fall ist, wird Strom in den internen Verzweigungspunkt A der statischen Zelle eingeführt. Das niveausenkende Bauelement 16 in der statischen Zelle muß ausreichend groß sein, um die Spannung am Verzweigungspunkt unter der Schaltungsspannung der statischen Zelle zu halten. Der Strom durch den Kondensator 36 sollte kleiner sein als der Strom zum Umschalten der statischen Zelle. (Dies wird gesteuert durch die Größe des Kondensators 36 bzw. des Transistors 16, sowie durch die parasitäre Kapazität des Verzweigungspunkts A.)

Zum Zeitpunkt T3 wird die Information der flüchtigen Zelle in ferroelektrischen Kondensatoren 38, 40 gespeichert. Der hohe Verzweigungspunkt der statischen Zelle entspricht einem ferroelektrischen Kondensator mit „hohem“ Polarisierungszustand, und das niedrige Niveau am anderen internen Verzweigungspunkt der statischen Zelle ist in einem anderen ferroelektrischen Kondensator eingeschrieben worden, dessen Polarisierungszustand als „niedrig“ bezeichnet werden kann. Es ist zu berücksichtigen, daß die unterschiedlichen Polarisierungszustände eines ferroelektrischen Kondensators willkürlich „niedrigem“ und „hohem“ Niveau zugeordnet werden können. Auf diese Weise kann die Stromversorgung des Speichers zum Zeit-

punkt T3 abgeschaltet werden, ohne daß Information verloren geht, und die Signale CLK1, CLK2, CLK3 und CLK4 liegen alle bei 0 Volt. Obwohl alle Spannungen auf 0 Volt abfallen können, bleiben die Polarisierungszustände der Kondensatoren 36 und 38 bestehen, so daß die Information erhalten bleibt.

Es ist festzuhalten, daß, obwohl es dem Anwender freisteht, die Stromversorgung des Abschnitts zum Zeitpunkt T3 zu unterbrechen, verschiedene Gründe dafür vorliegen können, den Normalbetrieb des statischen RAM weiterzuführen. Solcher Normalbetrieb im Abschnitt 12 kann wiederhergestellt werden, unter Erhaltung der Daten im Abschnitt 14, indem CLK2 wieder niedrig gemacht wird. CLK3 kann niedrig gemacht werden, um Abschnitt 14 von Abschnitt 12 zu entkoppeln. Anschließend können die ferroelektrischen Kondensatorplatten kurzgeschlossen werden, indem CLK4 angehoben wird, um die Transistoren 40, 42 einzuschalten, wie in Figur 1B vom Zeitpunkt T3 bis T4 gezeigt. Zu einem späteren Zeitpunkt kann die Stromversorgung des Speichers abgeschaltet werden, wobei CLK1 und CLK4 auf niedriges Niveau abfallen.

c. Zurückholen vom nichtflüchtigen in den flüchtigen Betrieb

Nachdem die Zelle 10 abgeschaltet worden ist, kann die im nichtflüchtigen Abschnitt 14 gespeicherte Information beim Einschalten im flüchtigen Abschnitt 12 wiederhergestellt werden. Es ist zu berücksichtigen, daß ein Rückholvorgang auch aus dem Normalbetrieb heraus begonnen werden kann. Wenn der Rückholzyklus aus einem Einschaltzyklus heraus begonnen wird, werden Niveaus, die dem Normalbetrieb entsprechen, vor Beginn des Rückholzyklus eingestellt. Dieser Transfer aus den ferroelektrischen Bauelementen zur statischen Zelle kann in verschiedenen Weisen erfolgen. Vorzugsweise wird zum Zeitpunkt T4 CLK1 auf niedriges Niveau gesetzt, um Verzweigungspunkt D auf Mass zu bringen, wie in Figur 1B gezeigt.

so daß die in p-Kanal-Bauelemente in der statischen Zelle gesperrt sind. Das Signal CLK4 ist zum Zeitpunkt t4 hoch, so daß die Verzweigungspunkte A und B über Transistoren 32 und 34 vom Zeitpunkt T4 bis T5 auf 0 Volt vorgespannt sind. (Alternativ können A und B auf 0 vorgespannt sein, indem die Bitleitungen 28, 30 auf 0 abgesenkt werden und die Wortleitung WL gepulst wird, bevor CLK3 niedrig wird.) Dann wird zum Zeitpunkt T5 CLK3 auf hohes Niveau gebracht, um die Verzweigungspunkt E und F an die Verzweigungspunkte A bzw. B zu koppeln.

Zum Zeitpunkt T5 werden die Kurzschlußtransistoren 40 und 42 ausgeschaltet, indem CLK4 abgesenkt wird. Zum Zeitpunkt T6 wird Verzweigungspunkt G angehoben, indem CLK2 auf ein logisch hohes Niveau gebracht wird. Die Spannung an den ferroelektrischen Kondensatoren 36, 38 hat nun eine Richtung, bei der der Kondensator mit „hohem“ Polarisierungszustand eine Polarisierungsumkehr erfährt. Dieser ferroelektrische Kondensator wird mehr Strom an seinen zugehörigen internen statischen Speicherzellenverzweigungspunkt (A oder B) liefern, als der ferroelektrische Kondensator, in den ein „niedriger“ Polarisierungszustand eingeschrieben wurde, und der zu diesem Zeitpunkt keine Polarisierungsänderung erfährt. Es ist festzuhalten, daß die Kapazität der internen Verzweigungspunkte A und B der statischen Zelle so ist, daß die Spannung an diesen Verzweigungspunkten niedrig genug bleibt, so daß wenigstens teilweise Umkehr der Polarisierung an dem ferroelektrischen Kondensator 36 oder 38 auftritt, in den der „hohe“ Polarisierungszustand eingeschrieben wurde. Wenn diese Bedingung zutrifft, dann ist die Spannung an dem internen Verzweigungspunkt der statischen Zelle, der dem Kondensator mit „hohem“ Polarisierungszustand entspricht, geringfügig höher als die des anderen Verzweigungspunkts. Wenn einer der Verzweigungspunkte A oder B ein Volt erreicht, werden die n-Kanal-Transistoren 16, 18 initialisiert.

Zum Zeitpunkt T7 kann CLK1 auch mit einer gesteuerten Anstiegszeit auf hohes

Niveau gebracht werden. Wenn die internen Verzweigungspunkte stabil sind, etwa zum Zeitpunkt T8, wird der ferroelektrische Kondensator mit dem „niedrigen“ Polarisierungszustand aufgefrischt. CLK2 kann nun abgesenkt werden, und der „hohe“ Polarisierungszustand wird dadurch aufgefrischt. Zum Zeitpunkt T9 kann CLK3 abgesenkt und CLK4 angehoben werden, um den nichtflüchtigen Abschnitt 14 vom flüchtigen Abschnitt 12 zu trennen und die Platten der Kondensatoren 36, 38 kurz-zuschließen. Hierdurch werden dieselben Bedingungen in der Schaltung hergestellt, wie zum Zeitpunkt T0, und normaler SRAM-Betrieb ist möglich. Der Zweck der Zeitfolge T8 - T9 ist, den Polarisierungszustand wieder herzustellen, der in dem ferroelektrischen Kondensator mit dem „hohen“ Zustand verloren ging. Diese Polarisierung ging verloren zum Zeitpunkt T6, als CLK2 angehoben wurde. Zu diesem Zeitpunkt schaltete einer der ferroelektrischen Kondensatoren, was zu einem größeren Strom als beim anderen Kondensator führte. Dieses Stromungleichgewicht wird benutzt, um die statische RAM-Zelle in eine Richtung zu schalten, so daß die Seite mit hohem Strom den Zustand hoher Spannung entspricht. Nun ist der ferroelektrische Kondensator auf der Seite mit „hohem“ Zustand teilweise geschaltet, mit 5 Volt an beiden Anschlüssen (oder 0 Volt über dem Ferroelektrikum). Wenn CLK2 wieder abgesenkt wird, hat die Spannung über diesem Ferroelektrikum die Richtung, in der sie den hohen Polarisierungszustand wieder herstellt.

Wenn die Kapazität an den internen Verzweigungspunkten A und B der statischen Zelle nicht ausreicht, um partielle Umkehr der Polarisierung des Kondensators 36 oder 38 sicherzustellen, der beim Anheben von CLK2 in den „hohen“ Polarisierungszustand gebracht wurde, dann können andere Zyklen verwendet werden.

Zum Beispiel können die Bitleitungen 28 und 30 als Zusatzkapazität benutzt werden. Diese werden auf einen niedrigen Spannungspegel gebracht und eine der Wortleitungen (an die Gate-Elektroden der Transistoren 24 und 26 gekoppelt) wird

angehoben. Nun kann derselbe Zyklus wie zuerst oben beschrieben für den Rückholvorgang durchgeführt werden. Die Spalten haben nun eine höhere Kapazität. Wenn dieser Zyklus abgelaufen ist, wird die Wortleitung abgesenkt. Der Zyklus wird für alle Wortleitungen wiederholt. Gemäß dieser letzteren Technik können die Zellen nur zeilenweise wiederhergestellt werden. Beispielhafte Zeitdauern für die Zyklen hängen von der Schaltgeschwindigkeit des verwendeten Typs von ferroelektrischem Material ab. Im Fall von KNO_3 sind die folgenden angemessen:

Speicherzyklus:

T0 - T1: Diese Niveaus stellen Normalbetrieb der statischen RAM-Zelle dar. Die Dauer ist ohne Bedeutung.

T1 - T2: Der „hohe“ Polarisierungszustand wird in einem der ferroelektrischen Bauelemente gespeichert. (1 - 10 μs)

T2 - T3: Der „niedrige“ Polarisierungszustand wird in dem anderen ferroelektrischen Bauelement gespeichert. (1 - 10 μs)

T3 - T4: Diese Niveaus stellen Normalbetrieb der statischen RAM-Zelle dar. Die Dauer ist ohne Bedeutung.

Rückholzyklus:

T4 - T5: Die Versorgungsspannung der Zelle wird gesperrt und interne Verzweigungspunkte werden vorgespannt. Die Dauer dieses Schritts ist bestimmt durch die Zeit, die zum Absenken von CLK1 erforderlich ist. Dies ist wahrscheinlich eine Leitung mit hoher Kapazität. (100 ns)

T5 - T6: Eine Verbindung wird hergestellt zwischen Verzweigungspunkten A und E, sowie B und F. Die Dauer ist bestimmt durch die RC-Verzögerung von CLK3. (15 ns).

T6 - T7: Die ferroelektrischen Kondensatoren werden ausgewertet. Die Dauer ist bestimmt durch die Zeit, die nötig ist, um einen Unterscheidungsstrom zwischen dem schaltenden und dem nichtschaltenden ferroelektrischen Kondensator aufzubauen. (20 ns - 50 ns)

T7 - T8: Die Versorgungsspannung der statischen Zelle wird wiederhergestellt. Die Geschwindigkeit ist insgesamt beschränkt durch die Kapazität von CLK1. (100 ns)

T8 - T9: Das Ferroelektrikum mit dem „hohen“ Polarisierungszustand muß neu geschrieben werden. Die Geschwindigkeit ist bestimmt durch die Schaltgeschwindigkeit des Ferroelektrikums. (1 μ s - 10 μ s)

T9 - : Die ferroelektrischen Kondensatoren werden isoliert und kurzgeschlossen. Die Dauer ist festgelegt durch die Nachführgeschwindigkeit von CLK3 und CLK4. (20 ns)

II. Zweite Ausgestaltung

Figur 2 zeigt eine weitere Speicherzelle 50 gemäß der vorliegenden Erfindung. Bei dieser Ausgestaltung sind die ferroelektrischen Kondensatoren in der flüchtigen statischen Zelle angeordnet und haben eine doppelte Funktion. Die Zelle 50 umfaßt zwei über Kreuz gekoppelte n-Kanal-Transistoren 52, 54. Deren Gate-Elektroden sind an interne Verzweigungspunkte A, B gekoppelt, die ihrerseits an die unteren Elektroden der entsprechenden ferroelektrischen Kondensatoren 56 bzw. 58 gekoppelt sind. Die oberen Platten der Kondensatoren 56, 58 sind im Verzweigungspunkt D an ein Taktsignal CLK_n gekoppelt (wobei n eine Zeilenindexnummer darstellt). Ein solches Taktsignal stellt eine schaltbare Betriebsspannungsquelle dar. Die Sources der Transistoren 52, 54 sind am am Verzweigungspunkt C an ein Bezugspo-

tential VSS oder Masse gekoppelt. Die Verzweigungspunkte A und B sind über die Source-Drain-Verbindungen von Zugriffstransistoren 60 bzw. 62 an Bitleitungen 64 bzw. 66 gekoppelt. Die Transistoren 60 und 62 werden durch Wortleitungen getastet. Strom zur Erhaltung der Daten während des Normalbetriebs wird über die ferroelektrischen Kondensatoren zugeführt, die die Widerstandslastfunktion für die statische Zelle ausüben. Die Widerstandseigenschaften vieler ferroelektrischer Kondensatoren, einschließlich Phase 3-Kaliumnitrat, sind ähnlich denen, die bei Polysilicium-Widerständen oder Polysilicium-Dioden gefunden werden, die als Widerstände in herkömmlichen statischen RAM-Zellen verwendet werden.

Speicher- und Rückholbetrieb dieser Zelle verlaufen wie folgt:

Zum Speichern ist die Wortleitung WL hoch, und die komplementären Bitleitungen 64, 66 empfangen die Daten von den Verzweigungspunkten A und B. Der Richtungsverstärker (hier nicht dargestellt, aber an die Bitleitungen gekoppelt) stabilisiert die Daten und legt volle CMOS-Niveaus auf die Bitleitungen. Nach einem kurzem Zeitintervall ist in einem der ferroelektrischen Kondensatoren 56, 58 durch eine niedrige Spannung (0) an einem der Verzweigungspunkte A oder B und ein volles VCC-Niveau am Verzweigungspunkt D ein „niedriger“ Polarisierungszustand eingeschrieben. Anschließend wird CLK_n für diese Reihe von Zellen abgesenkt, so daß in den anderen Kondensator 56 oder 58 ein „hoher“ Polarisierungszustand eingeschrieben werden kann. Zu diesem Zeitpunkt sind die nichtflüchtigen Elemente der Zelle 50 gesetzt, und CLK_n kann angehoben werden und die Wortleitung WL abgesenkt. Die nächste Zelle (die der darauffolgenden Wortleitung entspricht) kann auf die selbe Weise gespeichert werden, nachdem die Bitleitung(en) wiederhergestellt ist (sind).

Um Daten aus dem nichtflüchtigen Abschnitt in den flüchtigen Abschnitt zurückzuholen, werden die Bitleitungen 64, 66 auf 0 Volt vorgespannt. Die Wortleitung

WL wird angehoben, so daß die Verzweigungspunkte A und B ebenfalls auf 0 Volt vorgespannt werden. Dann wird die Wortleitung wieder abgesenkt. Anschließend wird CLKn angehoben, und einer der ferroelektrischen Kondensatoren 56, 58 zieht (aufgrund der unterschiedlichen Polarisierungszustände) mehr Strom als der andere, wodurch die flüchtige Zelle, wie erforderlich, gesetzt wird.

Der der vorliegenden Erfindung zu gewährende Schutzzumfang ist definiert durch die nachfolgenden Ansprüche, unter Berücksichtigung der Beschreibung.

P 38 86 600.5-08

EP 88 305 713.5

Patentansprüche

1. Ein Verfahren zum Betreiben einer Speicherzelle mit einem flüchtigen und einem nichtflüchtigen Abschnitt, wobei der nichtflüchtige Abschnitt einen ersten und einen zweiten ferroelektrischen Kondensator (36, 38) enthält, wovon jeder eine erste und eine zweite Plattenelektrode besitzt, wobei das Verfahren umfaßt:

Speichern von komplementären binären Daten im flüchtigen Abschnitt, das den Aufbau von hohen und niedrigen Spannungen, die die komplementären Daten darstellen, an einem ersten und an einem zweiten Verzweigungspunkt (A, B) des flüchtigen Speicherzellenabschnittes enthält, gekennzeichnet durch die Schritte:

des Speicherns der binären Daten auf nichtflüchtige Weise durch

Koppeln des ersten und des zweiten Verbindungspunktes (A, B) an die ersten Plattenelektroden des ersten und des zweiten ferroelektrischen Kondensators (36, 38);

Polarisieren lediglich eines der ferroelektrischen Kondensatoren durch Anlegen einer gewählten entweder niedrigen oder hohen Spannung an die zweite Plattenelektrode desselben, während die erste Plattenelektrode des Kondensators an den ersten oder den zweiten Verzweigungspunkt gekoppelt ist, wobei die Polarisation in einer ersten Richtung auftritt; danach

Polarisieren des zweiten ferroelektrischen Kondensators durch Anheben bzw. Absenken der Spannung an der zweiten Plattenelektrode desselben auf die andere der niedrigen bzw. hohen Spannung, während die erste Plattenelektrode an den ersten oder den zweiten Verzweigungspunkt gekoppelt ist, wobei die Polarisierung in einer zweiten Richtung auftritt.

2. Das Verfahren gemäß Anspruch 1, bei dem der Polarisierungsschritt nacheinander das Anlegen einer niedrigen Spannung und dann einer hohen Spannung (CLK2) enthält.

3. Das Verfahren gemäß Anspruch 2, bei dem der dritte Verzweigungspunkt (G) mit der zweiten Plattenelektrode eines jeden der ersten und zweiten ferroelektrischen Kondensatoren gekoppelt ist und bei dem die Polarisierungsschritte nacheinander das Anlegen einer niedrigen Spannung und dann einer hohen Spannung (CLK2) an den dritten Verzweigungspunkt enthalten, während der erste und der zweite Verzweigungspunkt an die ersten Plattenelektroden des ersten bzw. des zweiten ferroelektrischen Kondensators gekoppelt sind.

4. Das Verfahren gemäß Anspruch 1, 2 oder 3, das ferner das Abschalten der Leistung von der Speicherzelle nach den Polarisierungsschritten enthält.

5. Das Verfahren gemäß Anspruch 1, 2, 3 oder 4, das ferner das Kurzschließen der ersten Plattenelektroden des ersten und des zweiten ferroelektrischen Kondensators mit Masse während des Speicherns von komplementären Daten im flüchtigen Speicherzellenabschnitt enthält.

6. Das Verfahren gemäß Anspruch 1, das ferner das Zurückholen der Daten aus den ferroelektrischen Kondensa-

toren in den flüchtigen Speicherzellenabschnitt enthält, mit:

dem Vorspannen des ersten und des zweiten Verzweigungspunktes (A,B);

dem Koppeln der ersten Plattenelektroden des ersten und des zweiten ferroelektrischen Kondensators an den ersten bzw. den zweiten Verzweigungspunkt;

dem Anlegen einer hohen Spannung (CLK2) an den dritten Verzweigungspunkt, der mit den zweiten Plattenelektroden sowohl des ersten als auch des zweiten ferroelektrischen Kondensators gekoppelt ist, um dadurch eine Polarisationsumkehr in nur einem der Kondensatoren zu bewirken und um am ersten oder am zweiten Verzweigungspunkt eine Spannung aufzubauen, um dadurch den flüchtigen Speicherzellenabschnitt zu initialisieren.

7. Das Verfahren gemäß Anspruch 6, das ferner nach dem Initialisieren das Anlegen einer niedrigen Spannung an den dritten Verzweigungspunkt enthält, um dadurch einen Polarisationszustand des genannten einen ferroelektrischen Kondensators wiederherzustellen.

8. Das Verfahren gemäß Anspruch 1, bei dem die Polarisationssschritte nacheinander das Anlegen einer hohen Spannung und dann einer niedrigen Spannung enthalten.

9. Das Verfahren gemäß Anspruch 8, bei dem ein dritter Verzweigungspunkt an die zweiten Plattenelektroden sowohl des ersten als auch des zweiten ferroelektrischen Kondensators gekoppelt ist und bei dem die Polarisationssschritte nacheinander das Anlegen einer hohen Spannung und dann einer niedrigen Spannung an den dritten Verzweigungspunkt enthalten.

FIG 1A

